

## Full Bridge回路 Power AMP 第1号機 (試作機)

### Bipolar Power Tr使用 A級DC AMP (出力: 3W+3W)

2015-08-15

後藤@八王子

#### 1. 概要

- (1) フルブリッジ回路パワーアンプの第1号機(試作機)なので、冗長な箇所がある。
  - 電源が両chで6電源と多い。 (+12V、-12V、42V、14V、11V×2)
  - 電源構成が良くない。(電源回路図は省略)
  - 無駄な抵抗が削除されないで残っている。
- (2) 回路設計 (シミュレーション) は「LT Spice IV」を使用した。
  - デバイスモデルが無い素子については類似品のモデルを使用したので、シミュレーション結果と実測値に若干の相違がある。

#### 2. 入力段

- (1) バランス入力が基本であるが、切り替え無しでアンバランス入力にも対応できるよう、入力バッファ (J-FETのコンプリメンタリソースフォロア) を入れた。
  - 入力バッファの出力にDCオフセットが出るので、コールド (逆相) 側に調整用VRを入れた。
- (2) 入力バッファの出力に発振防止用高域フィルターを入れた。 (実測値: 約600kHz)

#### 3. 前段

- (1) J-FETの定電流差動+J-FETのSRPPのフルブリッジ回路で構成した。
  - 前段の出力インピーダンスは約300Ω。 (アンバランス出力で)
- (2) 定電流源はカレントミラーで作成した。
- (3) 電源は42Vを+22Vと-20Vに分圧して用いた。

#### 4. ドライブ段

- (1) バイポーラTrのエミッタフォロアで構成
  - 電源は専用電源 (14V) を用いた。

#### 5. 出力段

- (1) フルブリッジ回路構成とした。
  - 上側はバイポーラTrのエミッタフォロア。 (エミッタ抵抗無し)
  - 下側はバイポーラTrのカレントミラー定電流源。 (電流比は約150倍)
- (2) 電源は約11Vの単一電源で、Rch用、Lch用の2電源を用いた。
  - 電源のマイナス側をGND (0V) に接続している。
- (3) 出力はバランス出力で、正相端子 (OUT2)・逆相端子 (OUT1) 共にGNDから約6.1V浮いている。
- (4) 出力にスナバー (C・Rによるダンパー) は入れてない。

#### 6. フィードバック等

- (1) 正相端子 (OUT2)・逆相端子 (OUT1) 共にGNDから約6.1V浮いているが、そのままフィードバック抵抗により前段差動J-FETのゲート (電流加算点) にフィードバックを掛けている。
- (2) DCアンプなので、正相端子 (OUT2)・逆相端子 (OUT1) に直流電圧差 (オフセット) が発生することがあるので、DCオフセットキャンセル回路を付加した。
- (3) 位相補正は前段差動回路J-FETのゲート・ドレイン間の22pFのみ。

## 7. 諸特性

- (1) 最大出力 : 3W@6Ω (入力500mV)  
約4W@8Ω (但し、最大出力時に6Ωより歪が多くなる)  
約2W@4Ω
- (2) 周波数特性: 1Hz~80kHz -1dB ・・図1参照
- (3) 歪率 : 約0.02%@0.1W・6Ω ~ 0.2%@3W・6Ω (100Hz、1kHz、10kHz)
- (4) ダンピングファクタ : 約150 (@6Ω、2mW~3W、10Hz、100Hz、1kHz、10kHz)
- (5) ゲイン  
ONFBあり: 約12倍 (21.6dB)  
ONFB無し: 約83倍 (38.4dB)  
ONFB量: 16.8dB
- (6) 出力DCオフセット電圧: 10mV以下
- (7) 消費電力: 約55W (全体で)
- (8) シミュレーションにて電源電圧変動±10%で、正常動作を確認

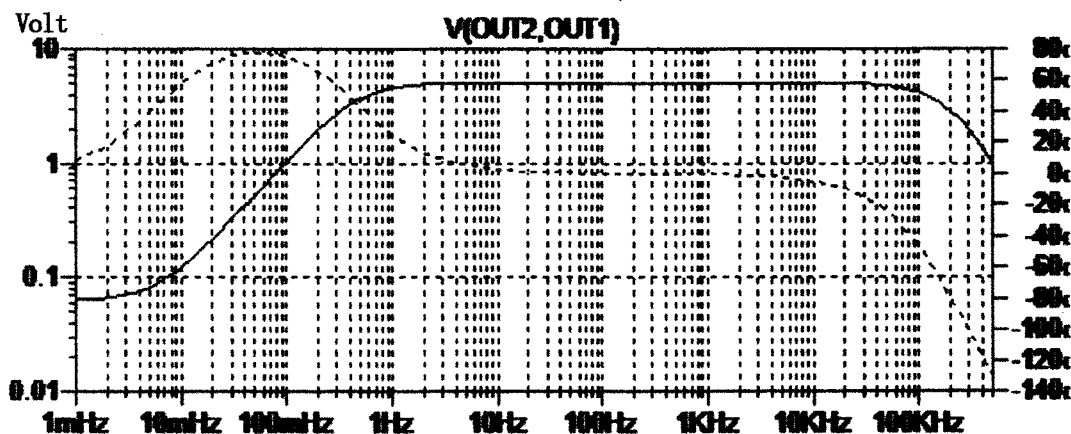


図1 シミュレーションでの周波数特性

